

Série O1_bis

(Décodage d'adresse mémoires)

EXERCICE 01

Soit l'ensemble des éléments (PROM1, PROM2, RAM, TIMER, ACIA, PIA) connectés avec un microprocesseur à 16 lignes d'adresses et 08 bits de données dont la configuration est présentée dans le tableau ci-dessous.

Circuit	Taille mémoire	Adresses occupées	
		Début	Fin
PROM1	4KO	F000 _{HEX}	FFFF _{HEX}
PROM2	4KO	E000 _{HEX}	FFFF _{HEX}
TIMER	/	A000 _{HEX}	A007 _{HEX}
ACIA	/	6000 _{HEX}	6004 _{HEX}
PIA	/	4000 _{HEX}	4004 _{HEX}
RAM	2KO	0000 _{HEX}	07FF _{HEX}

- Donner le schéma logique du système tout en indiquant les fonctions logiques des lignes d'activation pour chaque élément du montage.

EXERCICE 02

Conception d'un système à base du up8085 avec 4 mémoires de taille 16 Kbytes chacune, comme montre le tableau ci-dessous.

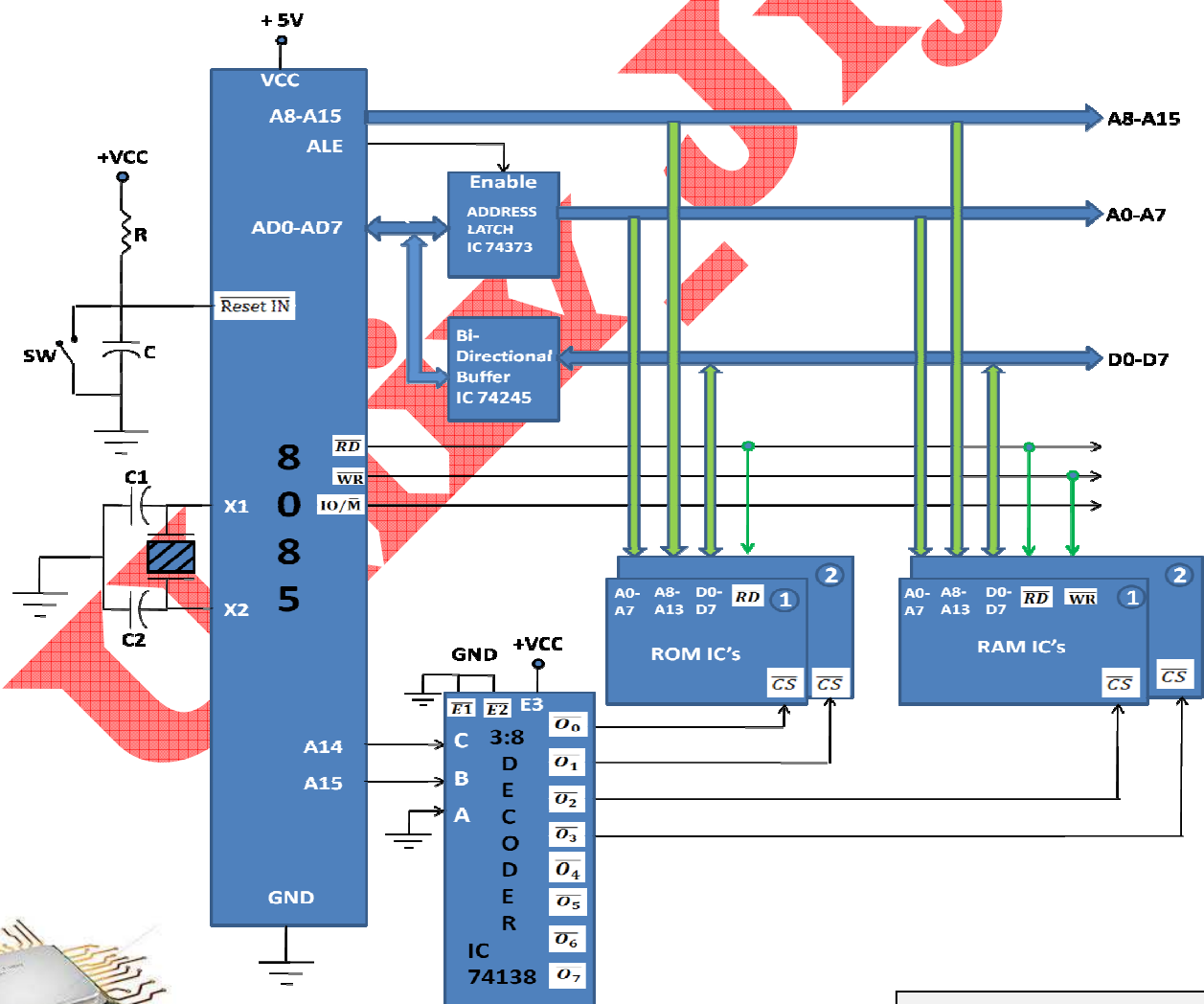
- Compléter la table d'adresses.
- Tracer le schéma logique de l'ensemble (microprocesseurs, mémoires).
- Assemblage série ou parallèle des mémoires ? Expliquer...

Adresses																Espace mémoire	Adresse	Circuit
A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 H	Début	ROM 1
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1 H	Fin	

0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	H	Début	ROM 2
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	H	Fin	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	H	Début	RAM 3
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	H	Fin	
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	H	Début	RAM 4
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	H	Fin	

EXERCICE 03

Soit le montage à base de microprocesseur 8085. Etablir les fonctions logiques des lignes de sélection de chaque élément mémoire.



Responsables de la matière :
A. SOUKKOU / W. CHINE