

Chapitre 4	Technologie et dessin de masque	2
4.1	Procédé de fabrication en technologie MOS.....	2
4.1.1	Présentation :	2
4.1.2	Nécessité de propreté : salle blanche :	2
4.1.3	Nettoyage des substrats et plaquettes.....	3
4.1.4	Procédé de fabrication d'un transistor MOS canal N	3
4.1.5	Procédé de fabrication des transistors MOS canal N et P en CMOS :	5
4.2	Dessin de masque (layout) d'un circuit intégré	11
4.2.1	Définition du problème.....	11
4.2.1.1	Conception topologique	12
4.2.2	Principes de définition des règles de dessin	12
4.2.2.1	Les différents types de contraintes.....	13
4.2.2.2	Exemples de règles de dessin	14
4.2.2.3	Types de règles de conception de dessin	15
4.2.2.3.1	Règles dites « au Lambda ».....	16
4.2.2.3.1.1	Règles basées sur Lambda appliquées pour un CMOS	16
4.2.2.3.2	Règles de conception absolues.....	19
4.2.3	Dessins symboliques	20
4.2.3.1	Le dessin symbolique lambda sur une grille	20
4.2.3.2	Diagramme stick (bâtons)	21
4.2.3.3	Représentations et codification des couches	22
4.2.4	Dessin de masque du Transistor	25

Chapitre 4

Technologie et dessin de masque

4.1 Procédé de fabrication en technologie MOS

4.1.1 Présentation :

Dans un premier temps on va étudier quelques procédés complets typiques de la réalisation des transistors NMOS et PMOS sur des substrats séparés.

Nous verrons dans un deuxième temps un procédé plus élaboré et donc plus complexe de réalisation de transistors NMOS et PMOS en technologie CMOS, par lesquelles peut être obtenu en intégrant les transistors NMOS et PMOS sur le même substrat de puce. Pour intégrer ces dispositifs NMOS et PMOS sur la même puce, des régions spéciales appelées caissons sont nécessaires dans lesquelles le type de semi-conducteur et le type de substrat sont opposés les uns aux autres.

Un caisson-P doit être créé sur un substrat N ou caisson-N doit être créé sur un P-substrat. Dans ce cours, la fabrication de CMOS est décrite à l'aide du substrat P, dans lequel le transistor NMOS est fabriqué sur un substrat de type P et le transistor PMOS est fabriqué en caisson-N.

La fabrication CMOS peut être accomplie en utilisant l'une ou l'autre des trois technologies :

- Technologie caisson-N/technologie caisson-P
- Technologie à double caisson
- Silicium sur Isolant (SOI)

4.1.2 Nécessité de propreté : salle blanche :

Il faut avant tout se rappeler que le principal souci en cours de fabrication sera la propreté. Une seule poussière de dimension micronique se déposant sur une plaquette peut rendre inutilisable une puce de plusieurs millions de transistors.

Ainsi, toute fabrication s'effectuera dans une salle blanche, salle dont l'atmosphère est contrôlée en température et humidité et dont le nombre de particules de poussières doit être le plus faible possible.

On définit la "classe de propreté" par le nombre de particules de diamètre supérieur à 0,5 µm par pied cube ; 1 pied = 1 ft = 30 cm, c'est-à-dire que $1 \text{ ft}^3 = 0,027 \text{ m}^3 = 27 \text{ litres}$. La notion de salle blanche commence lorsque la classe est inférieure ou égale à 1000. Dans une atmosphère ambiante normale, la classe serait de 1 à 10 millions. Une bonne salle blanche industrielle est

actuellement de classe 1 voire 0,1. Ceci nécessite des équipements nombreux et coûteux. En effet, l'atmosphère d'une salle blanche de production doit être entièrement renouvelée toutes les 7 secondes en évitant toute turbulence dans les zones de travail. Plusieurs millions de mètres cube d'air sont ainsi soufflés et filtrés par heure dans une usine de production.

Il faut éviter toute introduction de poussière, en particulier par les opérateurs et personnels. C'est la raison pour laquelle, toute personne entrant en salle blanche doit être entièrement équipée de vêtements spéciaux (qui ne "peluchent" pas), de gants, cagoules, surchausses ou chaussures spéciales, etc... Une "douche d'air", pouvant durer plusieurs minutes, prise dans le sas d'entrée est nécessaire.

Il est donc clair que tous les équipements permettant d'effectuer le travail des plaquettes seront installés en salle blanche ou dans des enceintes à atmosphère rigoureusement contrôlée.

4.1.3 Nettoyage des substrats et plaquettes

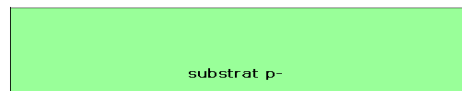
L'opération de nettoyage est indispensable avant chaque étape technologique principale et correspond elle aussi à une longue suite d'opérations élémentaires. En effet, si une plaquette ou un substrat a attendu entre deux étapes majeures, il faut procéder à un dégraissage et un décapage de la surface en éliminant l'ensemble des impuretés ainsi que l'oxyde natif du silicium qui se forme automatiquement s'il n'est pas recouvert d'une couche protectrice.

- 3 min dans un bain de trichloroéthylène chaud (dégraissage),
- 3 min dans un bain d'acétone (pour enlever le trichloroéthylène),
- 3 min dans de l'alcool éthylique (pour enlever l'acétone),
- 5 min dans de l'eau désionisée,
- 10 min dans la solution basique SC1 ($3 \text{ NH}_4\text{OH} + 7 \text{ H}_2\text{O} + 3 \text{ H}_2\text{O}_2$) à ébullition (élimine les impuretés organiques en régénérant l'oxyde natif),
- 5 min dans de l'eau désionisée,
- 10 min dans la solution acide ($\text{HCl} + 6 \text{ H}_2\text{O} + \text{H}_2\text{O}_2$) à ébullition (élimine les impuretés métalliques en régénérant l'oxyde natif),
- 5 min dans de l'eau désionisée,
- 1 min dans de l'acide fluorhydrique (élimination de l'oxyde natif)
- 5 min dans de l'eau désionisée.

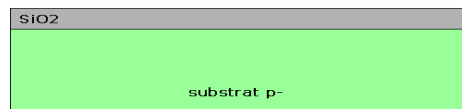
Cet ensemble d'opérations est renouvelé autant que nécessaire au cours du procédé complet de fabrication.

4.1.4 Procédé de fabrication d'un transistor MOS canal N

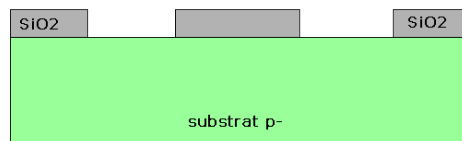
Il s'agit dans ce cas de réaliser des transistors MOS dans un même substrat. Nous allons dans un premier temps regarder un procédé simplifié de réalisation de transistors MOS à canal N à enrichissement. Cela signifie qu'il faut réaliser dans un substrat de type p qui constituera la zone de canal, les deux zones très dopées de type n qui constitueront source et drain. L'oxyde de grille sur la zone de canal devra être de très bonne qualité électronique. La fin du procédé consistera à réaliser les zones de contacts de grille, de source et de drain. La succession des étapes principales de réalisation est la suivante :



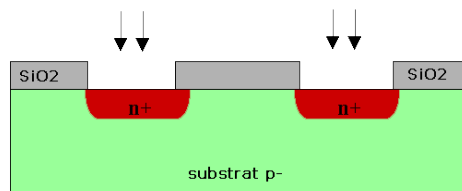
- nettoyage du substrat,



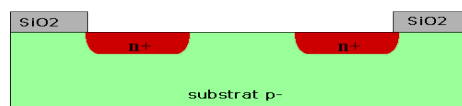
- oxydation épaisse de masquage de dopage (source et drain),



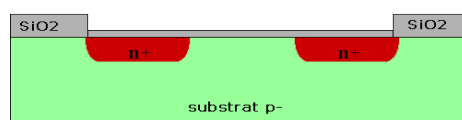
- photolithographie d'ouverture (source et drain),



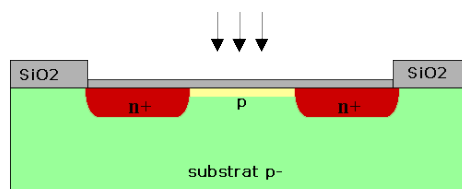
- dopage au phosphore (diffusion ou implantation ionique),



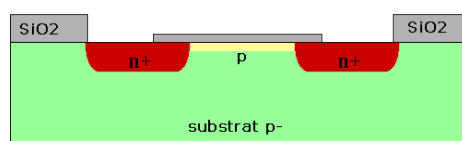
- photolithographie d'ouverture de la zone de canal,



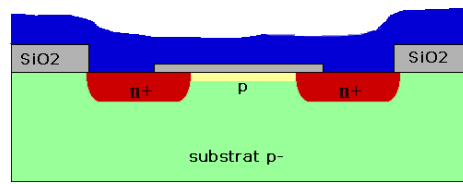
- oxydation fine de l'oxyde de grille,



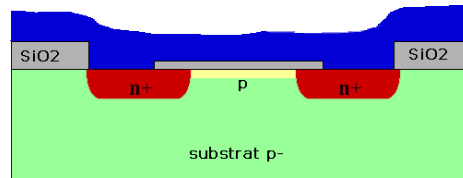
- ajustement de la tension de seuil par implantation ionique de Bore,



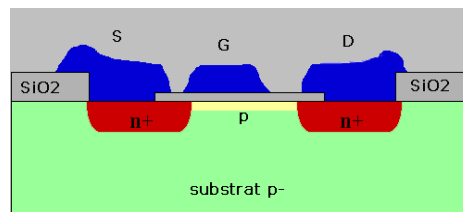
- photolithographie d'ouverture des contacts de source et de drain,



- dépôt d'aluminium,



- photolithographie de l'aluminium,



- recuit final sous forming-gas (mélange d'azote et d'hydrogène à 10%) pour améliorer les contacts.

Ce procédé très simple permet de réaliser des transistors MOS ; il correspond aux premiers procédés MOS mis en œuvre industriellement au début des années 70. Compte tenu des différentes étapes de masquage nécessitant des alignements, pour diminuer les dimensions des transistors il a fallu trouver des méthodes permettant de positionner automatiquement les zones de source et drain par rapport à la grille. Ces technologies sont alors dites autoalignées.

4.1.5 Procédé de fabrication des transistors MOS canal N et P en CMOS :

Il s'agit dans ce cas de réaliser simultanément sur un même substrat des transistors MOS à canal N et des transistors MOS à canal P. Pour compléter les possibilités d'application, il est aussi fabriqué, au cours du même procédé et sur le même substrat, des capacités.

Il faudra ainsi tenir compte du fait, d'une part, que la zone de canal des deux types de transistors est de dopage différent, et d'autre part, que les transistors doivent être électriquement isolés au niveau du substrat. Ceci nécessite la réalisation d'un "puits" ou "caisson" de dopage pour la zone de canal de l'un des deux transistors ; dans le cas présenté, le caisson est de type N et correspond donc à la zone de canal du PMOS. Le dopage des zones de canal, qui ont une influence importante sur la tension de seuil des transistors MOS, sont ajustés avec précision par implantation ionique de bore pour le PMOS et d'arsenic pour le NMOS.

Les isolations sont réalisées à partir de LOCOS. Toutefois, afin d'éviter des courts-circuits sous ces LOCOS, il faudra réaliser des surdopages bloquant la création de canaux non désirés. Les impuretés dans les oxydes thermiques humides étant essentiellement de charge

positive, le blocage de ces transistors fictifs sera obtenu par un fort dopage au bore sous l'interface LOCOS/substrat. On dit que l'on réalise un "anti-canal".

Afin de réaliser des transistors à longueur de grille de très petite dimension, le procédé utilise l'autoalignement grâce à l'emploi de grille en silicium polycristallin.

Pour ces structures de très petite dimension, les lignes métalliques d'interconnexion et de prise de contact prennent de plus en plus d'importance. Dans le cas de piste en aluminium, des passages de marche trop abrupte peuvent entraîner la coupure de la piste (fissure dans la couche d'aluminium). Afin d'éviter ces coupures, on arrondit les marches en utilisant un verre (LTO, Low Temperature Oxide) suffisamment visqueux à des températures peu élevées (500-600°C) pour créer un fluage au niveau des ouvertures de contact. Ce verre peut être du PSG (Phospho-Silicon Glass) ou BPSG (Boro-Phospho-Silicon Glass). Ainsi, ce verre, après un recuit autour de 600°C, permet une bonne continuité des couches d'aluminium déposées en surface et donc des pistes après photolithogravure.

Les principales opérations technologiques permettant la fabrication de ces structures est présentée par les étapes suivantes.

a) Fabrication de CMOS en utilisant le processus caisson-N

Étape1: substrat

Commencez principalement le processus avec un substrat P



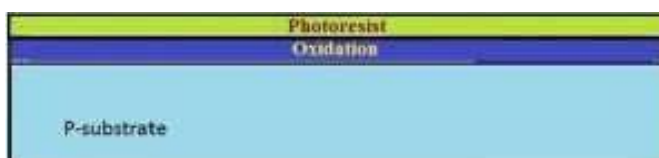
Étape 2: oxydation

Le processus d'oxydation est effectué en utilisant de l'oxygène et de l'hydrogène de haute pureté, dans un four d'oxydation à environ 1000 degrés centigrades.



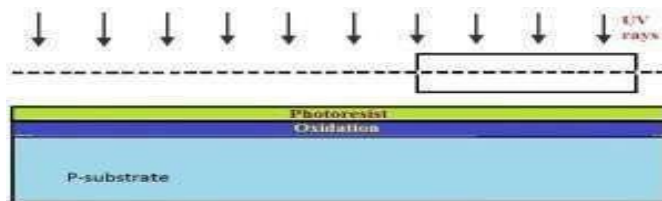
Étape 3: Photorésist

Un polymère sensible à la lumière qui s'adoucit lorsqu'il est exposé à la lumière est appelé couche de résine photosensible est déposée.



Étape 4: masquage

La résine photosensible est exposée aux rayons UV à travers le masque définissant la région du caisson-N



Étape 5: élimination de la résine photosensible

Une partie de la couche de la résine photosensible est éliminée avec une solution basique ou acide.



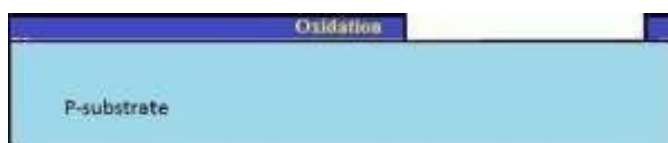
Étape 6: élimination du SiO2 à l'aide d'une gravure à l'acide

La couche d'oxydation de SiO2 est éliminée à travers la zone ouverte créée par l'élimination de la résine photosensible à l'aide d'acide fluorhydrique.



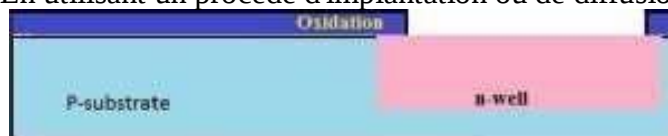
Étape 7: élimination de la résine photosensible

La totalité de la couche de résine photosensible est retirée, comme illustré dans la figure ci-dessous.



Étape 8: Formation du caisson-N

En utilisant un procédé d'implantation ou de diffusion ionique, un caisson-N est formé.



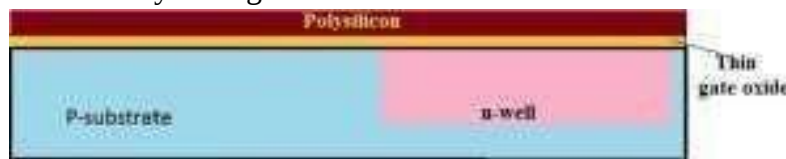
Étape 9: élimination de SiO2

En utilisant l'acide fluorhydrique, le SiO2 restant est éliminé.



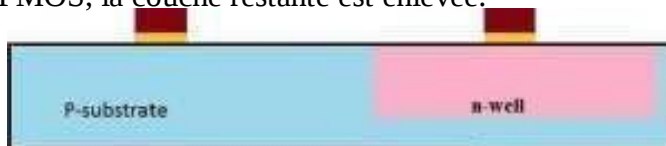
Étape 10: dépôt de polysilicium

Le procédé de dépôt chimique en phase vapeur (CVD) est utilisé pour déposer une très fine couche d'oxyde de grille.



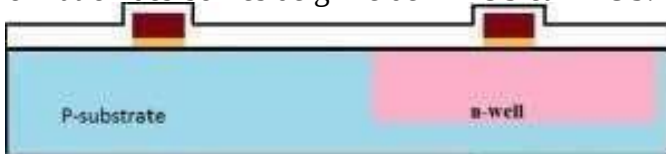
Étape 11: Suppression de la couche interdisant une petite zone pour les portes

À l'exception des deux petites régions nécessaires à la formation des portes de NMOS et de PMOS, la couche restante est enlevée.



Étape 12: processus d'oxydation

Ensuite, une couche d'oxydation est formée sur cette couche avec deux petites régions pour la formation des bornes de grille de NMOS et PMOS.

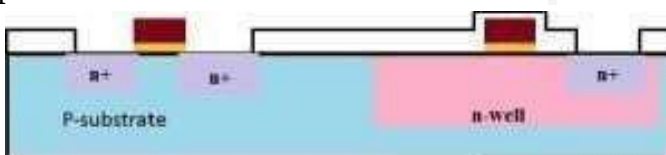


Étape 13: Masquage et diffusion des dopants de type N

En utilisant le processus de masquage, de petits espaces sont créés pour la diffusion des dopants de type N.

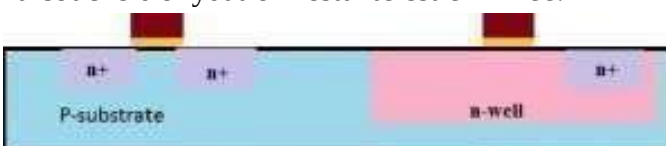


Les dopants de type N (n^+) sont diffusés ou implantés ioniquement, et les trois n^+ sont créés pour la formation des terminaux de NMOS.



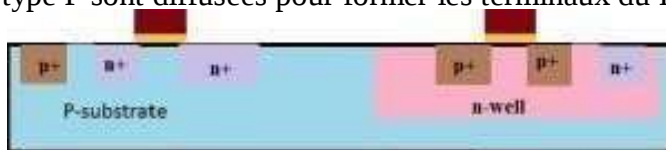
Étape 14: décapage d'oxyde

La couche d'oxydation restante est éliminée.



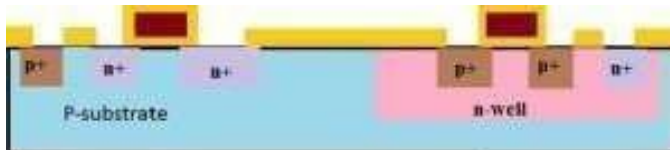
Étape 15: diffusion des dopants de type P

Semblable au processus de diffusion des dopants de type N ci-dessus, les régions de diffusion de type P sont diffusées pour former les terminaux du PMOS.

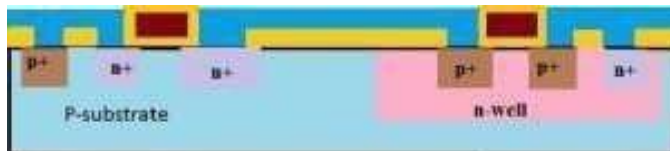


Étape 16: formation d'Oxyde à champ épais

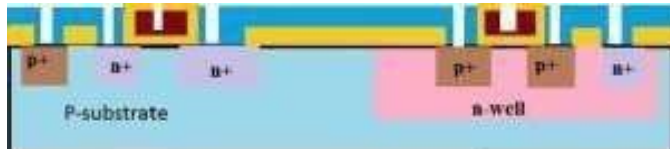
Un oxyde à champ épais se forme dans toutes les régions à l'exception des terminaux du PMOS et du NMOS.



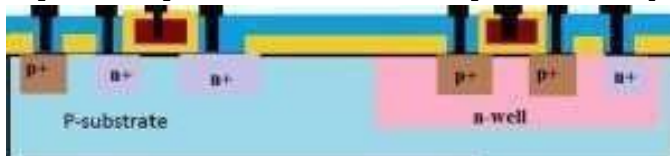
Étape 17: Métallisation, L'aluminium est pulvérisé sur toute la plaquette.



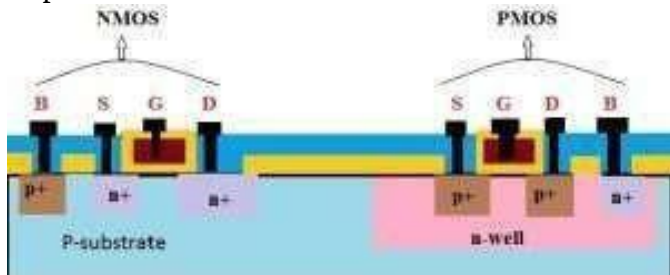
Étape 18: Élimination de l'excès de métal : L'excès de métal est retiré de la couche de plaquette



Étape 19: Dépôt des contacts et des pistes métalliques.



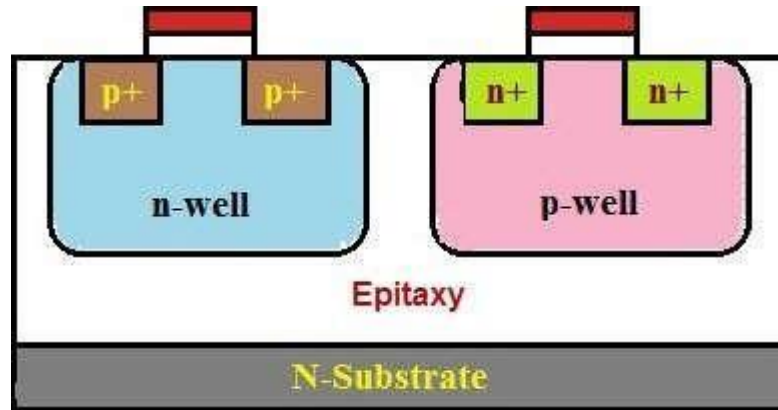
Étape 20: attribution des noms des terminaux du NMOS et du PMOS



b) Fabrication de CMOS en utilisant le processus caisson-P

Le processus du caisson-P est presque similaire au caisson-N. Mais la seule différence dans le processus du caisson-P est qu'il se compose d'un substrat N principal et, par conséquent, les caisson-P eux-mêmes agissent comme substrat pour les dispositifs N.

c) Processus de fabrication à double caisson



Dans ce processus, une optimisation séparée des transistors de type n et de type p sera fournie. L'optimisation indépendante de V_t , de l'effet body et du gain, peut être rendue possible avec ce processus.

Les différentes étapes de la fabrication du CMOS en utilisant le processus à deux caissons sont les suivantes:

- Un substrat n ou p légèrement dopé est utilisé et, pour éliminer le latch-up, une couche épitaxiale est utilisée.
- L'épaisseur des couches de silicium a haute pureté est bien contrôlée, avec des concentrations de dopants exactes.
- Les dopants et leurs concentrations dans silicium sont utilisés pour déterminer les propriétés électriques.
- Formation des caissons
- formation d'une couche mince d'oxyde
- Implantation de la source et du drain
- établir des contacts
- Métallisation

En utilisant les étapes ci-dessus, nous pouvons fabriquer CMOS en utilisant la méthode de processus à double caisson.

d) Processus de fabrication CMOS SOI (Silicon-on-Insulator)

Plutôt que d'utiliser le silicium comme matériau de substrat, les technologues ont cherché à utiliser un substrat isolant pour améliorer les caractéristiques du processus telles que la vitesse et la susceptibilité à l'effet latch-up. La technologie SOI CMOS permet la création de transistors nMOS et pMOS indépendants, complètement isolés, pratiquement côte à côte sur un substrat isolant. Les principaux avantages de cette technologie sont la densité d'intégration plus élevée (en raison de l'absence de régions de puits), l'élimination complète du problème latch-up, et les capacitances parasites inférieures par rapport aux processus conventionnels de CMOS de p-n-caisson ou double caisson.

Le processus SOI CMOS est beaucoup plus coûteux que le processus standard p-n-caisson CMOS. Pourtant, l'amélioration des performances du composant et l'absence de problèmes de latch-up peuvent justifier son utilisation, en particulier pour les composants sub-microniques.

4.2 Dessin de masque (layout) d'un circuit intégré

Le dessin de masque (Layout) d'un circuit intégré est le terme employé pour décrire la géométrie des diverses couches de matériaux qui entrent dans la fabrication d'une cellule.

4.2.1 Définition du problème

Le dessin de masque d'un circuit intégré peut se faire à l'aide de différents outils suivant le degré d'optimisation choisi. Très souvent, les cellules sont dessinées manuellement. Dans ce cas, il s'agit de représenter, dans les différentes couches d'un dessin, les motifs qui devront être réalisés dans les différents niveaux de photogravure. Ces dessins doivent obéir à un ensemble de règles géométriques très précises fournies par le fondeur (taille, espacement...). Ces règles représentent les contraintes de la technologie utilisée.

Le dessin des masques d'un circuit complexe peut devenir un travail gigantesque si l'on ne s'organise pas de manière efficace. Par rapport à la conception des cartes électroniques, la conception des circuits VLSI offre des degrés de liberté supplémentaires qui sont liés au fait que l'on doit tout dessiner, depuis les transistors jusqu'aux interconnexions. Cela permet d'optimiser fortement la densité des blocs et d'innover sur la circuiterie.

L'organisation spatiale d'un circuit complexe s'apparente à de l'urbanisme (ou de l'organisation territoriale !). L'utilisation d'organisations particulières permet de réaliser des circuits plus optimaux. L'enjeu de la conception d'un circuit VLSI consiste à transposer dans un domaine topologique le problème initial qui est souvent posé de manière fonctionnelle (figure 4.1).

Fonctionnel



Topologique

Fig. 4.1

4.2.1.1 Conception topologique

Bien que très grande, la surface d'un circuit intégré s'avère souvent trop petite pour y loger tout ce que l'on souhaiterait y mettre. Il ne faut jamais oublier que le coût d'un circuit et son rendement de fabrication dépendent fortement de sa surface. Plus celle-ci est importante, moins il y aura de circuits réalisés sur une tranche et plus la probabilité de défauts sur un circuit sera importante.

Un circuit intégré est constitué d'une hiérarchie de blocs imbriqués dont les feuilles représentent les cellules. Le dessin d'un bloc de niveau i est obtenu par l'assemblage et l'interconnexion de blocs du niveau $i + 1$ (figure 4.2). Cet assemblage doit se faire le plus efficacement possible. Pour cela, on ajustera la forme des blocs de niveau $i + 1$ pour faciliter leur imbrication. Jusqu'à un certain niveau, on recherchera à ce que les interconnexions s'effectuent par la simple juxtaposition des blocs plutôt que de devoir tirer des fils qui occupent de la surface de silicium ou des couches d'interconnexion.

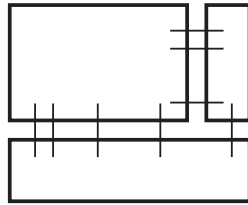


Fig. 4.2 Assemblage et interconnexion directe des principaux blocs d'un circuit VLSI

Plutôt que de contourner un bloc par une connexion, il est préférable de chercher à le traverser. Nous appellerons *transparence* la propriété d'un bloc de se laisser traverser par des connexions qui ne le concernent pas (figure 4.3).

La conception des circuits VLSI est ainsi un bon exemple du fait qu'une optimisation globale ne résulte pas forcément de l'assemblage de sous-ensembles optimaux (optimisations locales).

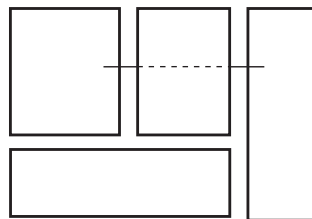


Fig. 4.3 Transparence d'un bloc

4.2.2 Principes de définition des règles de dessin

La réalisation des motifs constituant un circuit doit respecter les différentes contraintes physiques et technologiques du procédé. Ces contraintes sont exprimées par un ensemble de règles qui définissent les conditions pour qu'un circuit fonctionne convenablement et qu'il soit fiable. Les règles de dessin constituent une simplification pratique de la complexité de ces contraintes technologiques.

Les circuits deviennent de plus en plus complexes, ce qui nécessite l'augmentation du nombre de couches de métal pour réaliser leurs interconnexions. La réalisation de ces couches entraîne une augmentation de la complexité du procédé de fabrication, d'où le nombre des masques et des règles de dessin. Ainsi, la conception d'une simple mémoire DRAM NMOS de 256 Ko nécessite l'utilisation de près d'une centaine de règles de conception et treize niveaux de masques.

Nous commencerons, dans ce paragraphe, par décrire succinctement les différentes contraintes qui sont utilisées pour le calcul des règles de dessin. Puis dans un second temps, nous présenterons quelques cas concrets de règles.

4.2.2.1 Les différents types de contraintes

En général, les conditions à respecter lors de la conception expriment des contraintes pouvant être classées en trois types :

- contraintes dues au processus technologiques utilisé ;
- contraintes physiques ;
- contraintes de rendement et de fiabilité.

a) Contraintes dues au processus technologique

La complexité des circuits intégrés fait qu'il est important d'exercer un contrôle attentif du processus de photolithographie par lequel le dessin du circuit est transféré du masque sur le substrat. Ainsi, la taille d'un motif gravé est différente de celle qui a été dessinée. Cela est dû au fait qu'à chaque étape, une ou plusieurs sources de distorsion interviennent, engendrant des variations dans la taille des motifs réalisés. Dans un processus technologique, pour une séquence d'alignement donnée, de nombreuses sources d'incertitudes peuvent être identifiées. Elles comprennent le désalignement des niveaux de masquages, les erreurs de dimensionnement sur les masques, leur expansion thermique et l'incertitude sur les longueurs et les largeurs des motifs causée par le processus (par exemple la surgravure et la diffusion latérale).

Chaque technologie est caractérisée par un certain nombre de paramètres. Lorsque la taille des motifs ou des structures atteint ces limites, des phénomènes parasites apparaissent. Citons par exemple les trois cas suivants :

- Dans le cas de dessins submicroniques, la taille des motifs est maintenant inférieure (90 à 65 nm en 2006) à la longueur d'onde des lampes utilisées pour l'insolation de la résine (157 nm). Pour compenser les déformations des motifs projetés, dues aux phénomènes de diffraction, la géométrie des masques est volontairement modifiée.
- Les effets des canaux courts ou étroits. Les caractéristiques des transistors (tension de seuil) varient lorsque canal devient court ou étroit.
- L'épaisseur des couches de métal devient prépondérante vis-à-vis de la largeur des lignes, ce qui engendre des phénomènes de capacités latérales.

L'évolution technologique consiste à repousser ces paramètres par l'utilisation de nouveaux procédés, comme par exemple le passage à la lithographie X.

b) Contraintes physiques

Elles découlent des limitations intrinsèques sur les composants dues aux phénomènes physiques comme, par exemple :

- L'apparition d'un courant de grille par effet tunnel, lorsque l'épaisseur de l'oxyde mince atteint quelques niveaux atomiques.
- La dispersion des caractéristiques des transistors, lorsque la longueur effective des transistors se mesure en quelques milliers d'atomes du cristal. Le très faible nombre d'atomes d'impuretés fait alors sortir le comportement du transistor des moyennes statistiques habituelles.
- L'augmentation de la résistance sources-drain des transistors lorsque leurs dimensions diminuent (due à la résistivité des matériaux). Idem pour les connexions métalliques.
- Le maintien de la valeur de la capacité parasite des connexions lorsque les dimensions technologiques diminuent (augmentation de la capacité surfacique compensée par une diminution de la largeur des connexions).

c) Contraintes de rendement et de fiabilité

Cette dernière famille de contraintes, a pour objectifs d'améliorer le rendement de fabrication et d'homogénéiser et d'accroître la durée de vie des circuits. Parmi les principales contraintes, citons plus particulièrement :

- L'électromigration qui arrache des atomes des couches de métal lorsque la densité de courant dépasse un certain seuil amenant une rupture des connexions.
- La diffusion lente des impuretés due à l'échauffement du circuit modifie les caractéristiques des transistors.
- La tenue aux radiations qui décroît lorsque les dimensions technologiques diminuent (contraintes des circuits durcis).

d) Incidences sur la conception système

Les effets des phénomènes physiques peuvent remonter dans les niveaux de conception et influencer la conception système du circuit. Par exemple, la répartition de la dissipation thermique sur le circuit, la génération des bruits, la longueur des connexions et les éventuels effets micro-onde qui apparaissent avec l'augmentation des fréquences de fonctionnement.

4.2.2.2 Exemples de règles de dessin

L'objectif ne peut être ici de décrire de manière exhaustive l'ensemble des règles de dessin d'une technologie particulière mais d'illustrer cette problématique par deux exemples.

a) Règles de dessin des contacts

Les règles de dessin des contacts métalliques sont représentées, sur la figure 4.4.

- La dimension de l'ouverture (notée R_1 sur la figure) qui est contrôlée par la résolution de la photolithographie (on accepte l'arrondissement de l'ouverture). Dans les technologies actuelles, la taille des contacts est fixe.
- Le débordement des métaux (notée R_2 sur la figure) qui tient compte du mésalignement maximal des masques contacts et métaux.



Fig. 4.4 Règles de dessin d'un contact

b) Règles de dessin Poly & zone active

Les garde entre une connexion en polysilicium et la zone active d'un transistor, telle que représentée, sur la figure suivante, impose que le polysilicium soit sur l'oxyde épais (FOX) donc à une distance minimale de la zone active (règle notée R_3 sur la figure 4.5). Ainsi, le polysilicium de connexion forme un transistor parasite dont la tension de seuil est supérieure à la tension d'alimentation du circuit. Ce transistor toujours bloqué pourra être alors négligé.

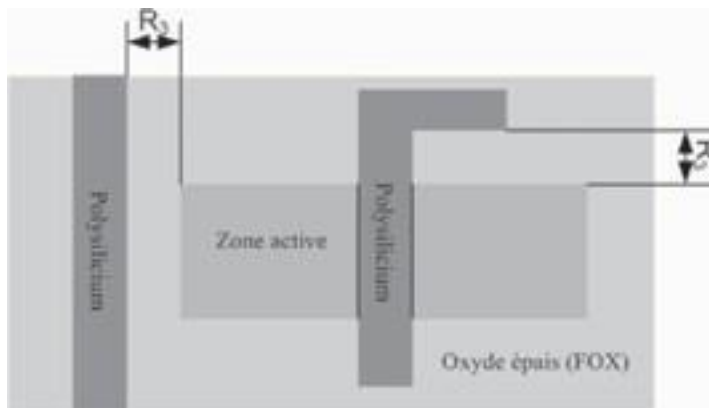


Fig. 4.5 Règles de dessin connexion polysilicium et zone active

4.2.2.3 Types de règles de conception de dessin

Les règles de conception principales traitent de deux questions :

1. La reproduction géométrique de caractéristiques qui peuvent être reproduites par le masquage et le processus lithographique, et
2. L'interaction entre les différentes couches.

Il y a principalement deux approches pour décrire les règles de conception.

4.2.2.3.1 Règles dites « au Lambda »

Cette approche a été introduite par C. Mead et L. Conway. Elle consiste à dessiner sur une grille « unitaire » avec un jeu de règles définitivement fixé pour toute une famille technologique (par exemple le CMOS). L'adaptation à une technologie réelle se fait en choisissant un pas de grille suffisamment grand pour permettre la transposition directe des dessins vers cette technologie (figure 4.6).

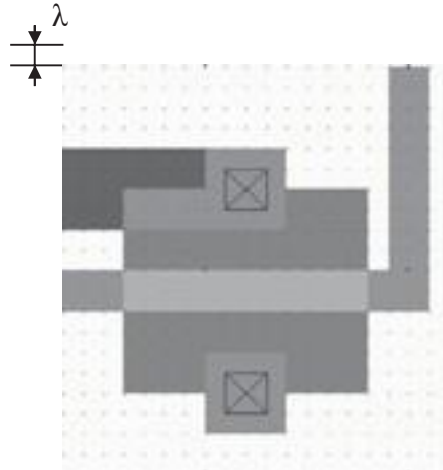


Fig. 4.6 Exemple de dessin « au Lambda »

Le principal inconvénient de cette approche réside dans le fait que ces règles, définies pour la technologie nMOS de la fin des années 1970, ne correspondent plus aux technologies modernes qui n'ont pas évoluées homothétiquement depuis cette date et qui en plus, comportent maintenant des motifs de taille fixe (par exemple les contacts). L'utilisation de ces règles peut amener des pertes de surface et de performance importantes (du simple au double). Elles ne sont plus utilisées par l'industrie mais seulement dans l'enseignement.

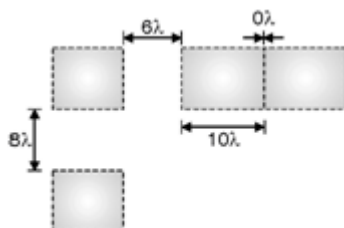
4.2.2.3.1.1 Règles basées sur Lambda appliquées pour un CMOS

Ces règles de conception CMOS ' λ ' sont basées sur le MOSIS signifie MOS implémentation Service c'est le service de fabrication CI disponible pour les universités pour la mise en page, la simulation et l'essai des conceptions terminées. Les règles MOSIS sont des règles λ évolutives.

Les règles de conception du MOSIS sont les suivantes :

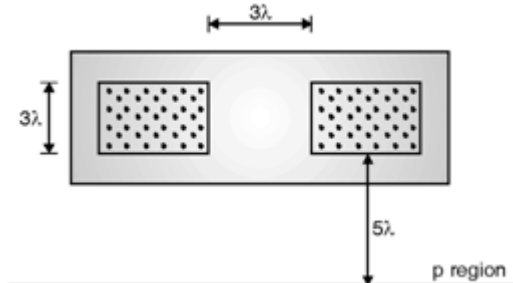
(1) Règles relatives au caisson N, comme indiqué sur la figure ci-dessous.

1. Largeur minimale = 10λ
2. Caisson au même potentiel avec espacement = 6λ
3. Caisson au même potentiel = 0λ
4. Caisson de type différent, espacement = 8λ



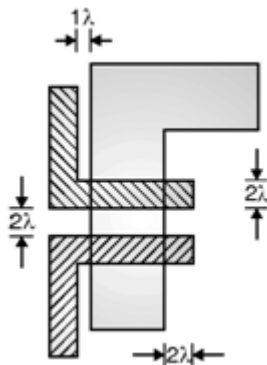
(2) Règles relatives à la zone active indiquées à la figure ci-dessous.

1. Largeur minimale $= 3\lambda$
2. Espacement minimum $= 3\lambda$
3. Source/Drain actif au bord de caisson $= 5\lambda$
4. Substrat/contact de caisson actif au bord de caisson $= 3\lambda$



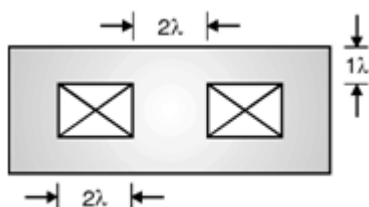
(3) Règles pour poly 1 comme indiqué à la figure ci-dessous.

1. Largeur minimale $= 2\lambda$
2. Espacement minimum $= 2\lambda$
3. Extension minimale de porte d'active $= 2\lambda$
4. Poly de champ minimum à actif $= 1\lambda$



(4) Règles de contact avec le poly 1, comme indiqué à la figure ci-dessous.

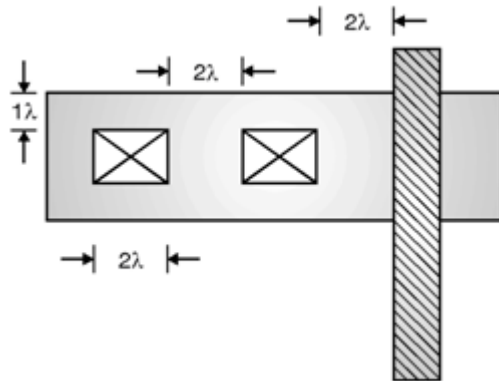
1. Taille exacte du contact $= 2\lambda \times 2\lambda$
2. Chevauchement minimum poly 1 $= 1\lambda$
3. Espacement minimal des contacts $= 2\lambda$



(5) Règles relatives au contact avec l'actif, comme indiqué à la figure ci-dessous.

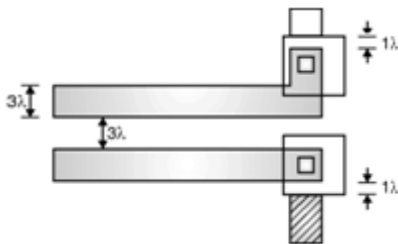
1. Taille exacte du contact $= 2\lambda \times 2\lambda$
2. Chevauchement actif minimum $= 1\lambda$

3. Espacement minimal des contacts = 2λ
4. Espacement minimum à la grille du transistor = 2λ



(6) Règles relatives au métal 1, comme indiqué à la figure ci-dessous.

1. Largeur minimale = 3λ
2. Espacement minimum = 3λ
3. Chevauchement minimal du contact poly = 1λ
4. Chevauchement minimal du contact actif = 1λ



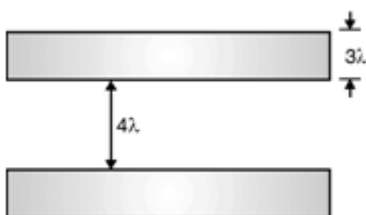
(7) Règles pour Via1 ou interconnexion (Un via est un point de liaison entre deux couches), comme indiqué à la figure ci-dessous.

1. Taille minimale = $2\lambda \times 2\lambda$
2. Espacement minimum = 3λ
3. Chevauchement minimal par métal 1 = 1λ



(8) Règles relatives au métal 2, comme indiqué à la figure ci-dessous.

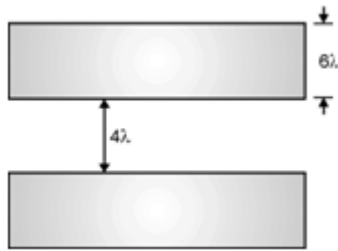
1. Taille minimale = 3λ
2. Espacement minimum = 4λ



(9) Règles relatives au métal 3, comme indiqué à la figure ci-dessous.

1. Largeur minimale $= 6\lambda$

2. Espacement minimum $= 4\lambda$



Le tableau qui suit résume les valeurs λ des différentes couches du transistor

LAMBDA BASED RULES

MINIMUM WIDTH AND SPACING RULES

LAYER	TYPE OF RULE	VALUE
POLY	Minimum Width	2λ
	Minimum Spacing	2λ
N/P DIFFUSION	Minimum Width	3λ
	Minimum Spacing	3λ
N-WELL	Minimum Width	3λ
	Minimum Spacing	3λ
P-WELL	Minimum Width	3λ
	Minimum Spacing	3λ
METAL1	Minimum Width	3λ
	Minimum Spacing	3λ

4.2.2.3.2 Règles de conception absolues

Dans cette approche, les règles de conception sont exprimées en dimensions absolues (p. ex. $0,75 \mu\text{m}$) et peut donc exploiter les caractéristiques d'un processus donné au maximum. Ici, l'échelle et le reportage sont plus exigeants et doivent être effectués manuellement ou à l'aide d'outils CAO. En outre, ces règles ont tendance à être plus complexes en particulier pour les composants submicroniques.

Les règles de conception ont tendance à différer d'une entreprise à l'autre, et d'un processus à l'autre. Maintenant, CAO permettent aux concepteurs (fondeurs) de migrer entre les processus compatibles.

Chaque technologie a ses propres règles

– Techno ES2 $1\mu\text{m} \approx 90$ règles

– Techno ST 90nm ≈ 400 règles

• Tous les masques sont sur une grille minimale ($\approx 1/10$ la longueur minimale d'un transistor).

• Si on dessine en suivant les règles du fondeur, on dessine tout :

➤ il faut apprendre les règles

➤ De fait réservé aux fondeurs ou aux circuits analogiques.

- Pour pérenniser son travail, chaque fondeur essaie d'avoir des règles homothétiques entre ses technologies pour limiter le redessin.

4.2.3 Dessins symboliques

L'utilisation des règles technologiques se heurte à leur spécificité et à leur précarité. En effet, les dessins réalisés avec un jeu de règles ne peuvent pas être utilisés directement par la technologie suivante et encore moins par un autre fondeur. Pour contrer ces effets, plusieurs types de règles standardisées ont été développés.

Ces règles dites «symboliques» ont pour objectif d'assurer la portabilité des dessins d'une technologie à la suivante et d'un fondeur à l'autre. Différentes approches ont été utilisées:

- Le dessin symbolique utilise une représentation stick (bâtons).
 - Seuls les axes des fils sont représentés.
 - Un fil représente un symbole : segment (2-points) ou via (1-point)
 - Le nombre et le type des symboles est réduit : métal, métal de contact, polysilicium, contact, via12, via23, etc, diffusions (intersection d'une zone active et d'une implantation), transistors (croisement d'un polysilicium et d'une diffusion), ...
 - Les symboles peuvent être annotés par une largeur.
- Le dessin symbolique lambda se fait sur une grille régulière au pas de 1 lambda.

4.2.3.1 Le dessin symbolique lambda sur une grille

Dans cette approche, le dessin est toujours effectué sur une grille à pas unitaire (figure 4.7). Toutefois, le dessin est réalisé à l'aide de symboles (souvent paramétrables qui représentent des éléments (transistors, contacts, fils...). La transposition (appelée *expansion*) de ces dessins vers une technologie donnée est réalisée par un processus complexe :

- Le pas de la grille est calculé à partir des propriétés de la technologie visée.
- Chaque symbole est transformé en une pièce de dessin en utilisant les règles fines de la technologie visée.

Le résultat de cette expansion est assez optimisé. La perte n'est que de l'ordre de 20 %. Pour faciliter le confort du dessin, les symboles sont immédiatement transformés :

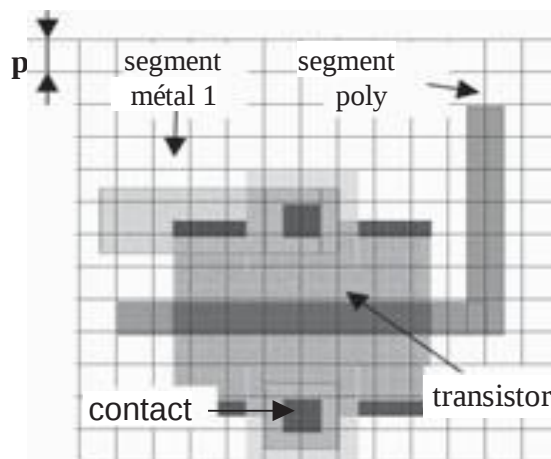


Fig. 4.7 Dessin symbolique sur grille

- soit en dessins squelettiques.
- soit en utilisant des motifs correspondants à une technologie « moyenne » (dite *symbolique*).

Un jeu de règles définies sur le dessin symbolique permet d'assurer que son expansion sera toujours correcte.

Cette approche a été utilisée par l'industrie (Bull S.A.) pour réaliser des circuits très complexes qui ont pu être fabriqués chez plusieurs fondeurs. Elle est aussi à la base du système Alliance.

4.2.3.2 Diagramme stick (bâtons)

Une autre méthode populaire de la conception symbolique des circuits intégrés est la représentation Stick.

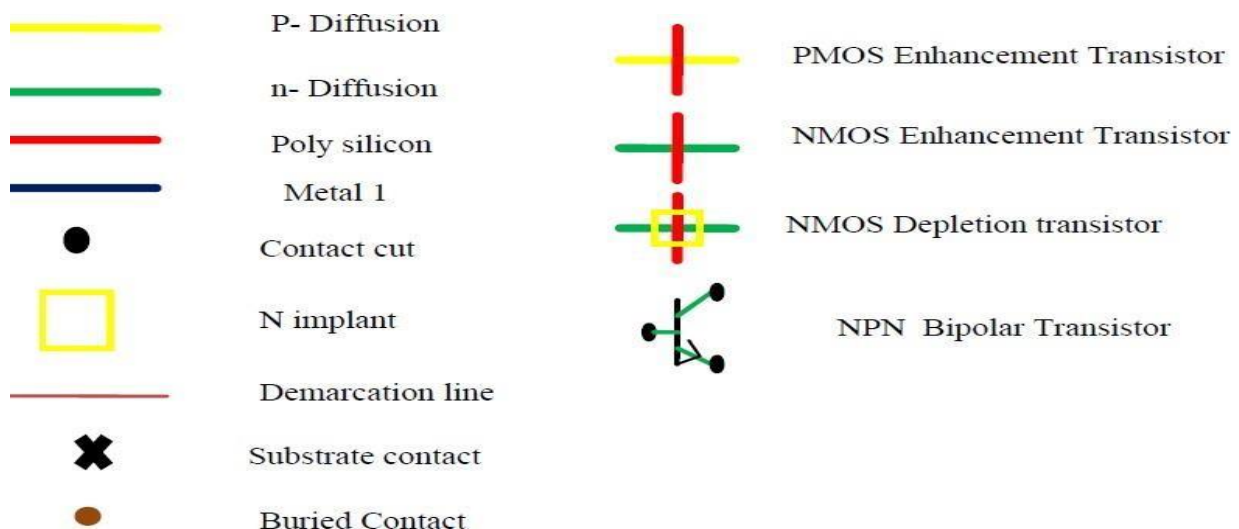
En cela, le concepteur dessine un croquis à main levée d'un layout, en utilisant des lignes colorées pour représenter les différentes couches du processus telles que la diffusion, le métal et le polysilicium. Où le polysilicium croise la diffusion.

Le diagramme stick est utilisé pour transmettre les informations calquées à l'aide d'un code couleur.

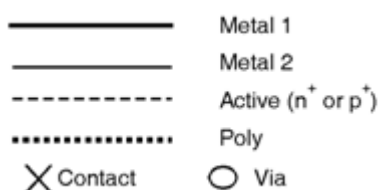
« Un diagramme stick est un dessin animé d'un layout. »

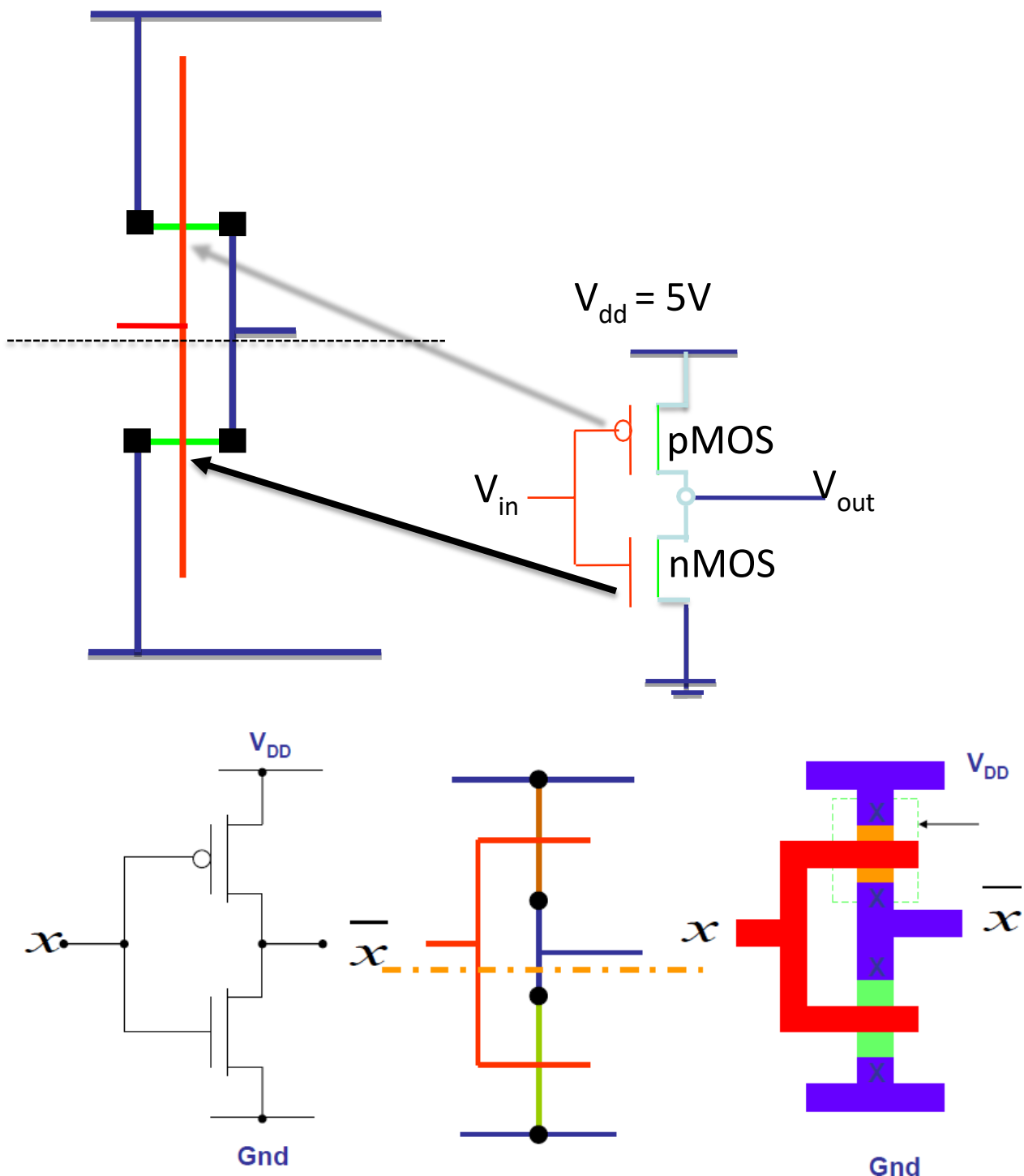
- ✓ La couleur verte est utilisée pour la diffusion n
- ✓ Rouge pour polysilicium
- ✓ Bleu pour métal
- ✓ Jaune pour l'implantation, et noir pour les zones de contact.

Le code des couleurs est représenté ci-dessous :



La codification monochrome est également utilisée dans les diagrammes sticks comme on peut le voir sur la figure ci-dessous.



Exemple de diagramme stick**Inverseur CMOS****4.2.3.3 Représentations et codification des couches**

Nous avons vu que les circuits MOS sont formés sur quatre couches de base, n-diffusion, p-diffusion, polysilicium, et le métal, qui sont isolés les uns des autres par le silicium épais ou mince (thinox) appelées couches isolantes de dioxyde.

La disposition du nMOS éventuellement pMOS), est basée sur les fonctionnalités importantes suivantes :

- ✓ n-diffusion [n-diff.] et d'autres régions d'oxyde mince [thinox] (vert);
- ✓ polysilicium 1 [poly.] puisqu'il n'y a qu'une seule couche de polysilicium (rouge);
- ✓ métal 1 [métal] puisque nous n'utilisons qu'une seule couche de métal (bleu);
- ✓ implantation (jaune);
- ✓ contacts (noir ou marron [enterré]).

Un transistor est formé d'un poly à travers une région n-diffusion (Rouge sur vert).

Lors du démarrage du dessin (layout), la première étape normalement franchie consiste à dessiner les rails métalliques (bleus) VDD et GND en parallèle laissant suffisamment d'espace entre eux pour les autres éléments de circuit qui seront nécessaires. On considère l'implantation (jaunes) seulement pour les transistors en mode d'épuisement (déplétion). La codification des couches du n-MOS est résumée dans le tableau ci-dessus.

COLOR	STICK ENCODING	LAYERS	MASK LAYOUT ENCODING	CIF LAYER
GREEN		n-diffusion (n ⁺ active) Thinox*		ND
RED		Polysilicon		NP
BLUE		Metal 1		NM
BLACK		Contact cut		NC
GRAY	NOT APPLICABLE	Overglass		NG
nMOS ONLY YELLOW		Implant		NI
nMOS ONLY BROWN		Buried contact		NB

FEATURE	FEATURE (STICK)	FEATURE (SYMBOL)	FEATURE (MASK)
n-type enhancement mode transistor			
Transistor length to width ratio L:W should be shown.			
n-type depletion mode transistor nMOS only			
Source, drain and gate labelling will not normally be shown.			

Remarque :

Les règles de conception CMOS sont presque similaires et les extensions des règles de conception n-MOS, sauf pour l'Implant (jaune) et le contact enterré (marron).

Dans la conception CMOS Jaune ou le marron sont utilisés pour identifier les transistors p-MOS. Car les transistors p-MOS en mode d'épuisement (déplétion) et le contact enterré ne sont pas utilisés.

Les deux types de transistors n et p, sont séparés par une ligne de démarcation (représentant la limite des caissons).

La codification des couches du CMOS est résumée dans le tableau ci-dessus.

COLOR	STICK ENCODING	LAYERS	MASK LAYOUT ENCODING	CIF LAYER
GREEN	Encoding as in Color plate 1 (a)	n-diffusion (n ⁺ active) Thinox*	* Thinox = n-diff. + p-diff. + transistor channels	CAA or CNA
RED		Polysilicon	Encoding as in Color plate 1 (a)	CPF
BLUE		Metal 1		CMF
BLACK		Contact out		CC
GRAY		Overglass		COG
YELLOW (STICK)	 green outline here for clarity	p-diffusion (p ⁺ active)	 p ⁺ mask	CAA or CPA
YELLOW	Not shown on diagram	p ⁺ mask	 either or	CPP
DARK BLUE OR PURPLE	 Demarcation line	Metal 2	 p-well	CMS
BLACK	 p-well edge is shown as a demarcation line in stick diagrams	VIA	 V _{DD} or V _{SS} contact	CVA
BROWN	 p-well edge is shown as a demarcation line in stick diagrams	p-well	 V _{DD} or V _{SS} contact	CPW
BLACK	 V _{DD} or V _{SS} contact	V _{DD} or V _{SS} contact	 V _{DD} or V _{SS} contact	CC
FEATURE	FEATURE (STICK)	FEATURE (SYMBOL)	FEATURE (MASK)	
n-type enhancement mode transistor (as in Color plate 1(a)) Transistor length to width ratio L:W may be shown.	 Demarcation line	 L:W	 L:W	
p-type enhancement mode transistor	 Demarcation line	 L:W	 L:W	
Note: p-type transistors are placed above and n-type below the demarcation line				

4.2.4 Dessin de masque du Transistor

Du point de vue du concepteur, nous allons opérer avec trois représentations des circuits MOS tels qu'ils sont présentés sur la figure 4.8.

Ces trois représentations sont les suivantes :

- Diagrammes schématiques.
- Diagrammes sticks (bâton) représentant la topologie du circuit intégré.
- circuit layout représentant la géométrie exacte du Circuit intégré.

La géométrie du circuit doit avoir ses dimensions précisées dans des unités relatives appelées λ .

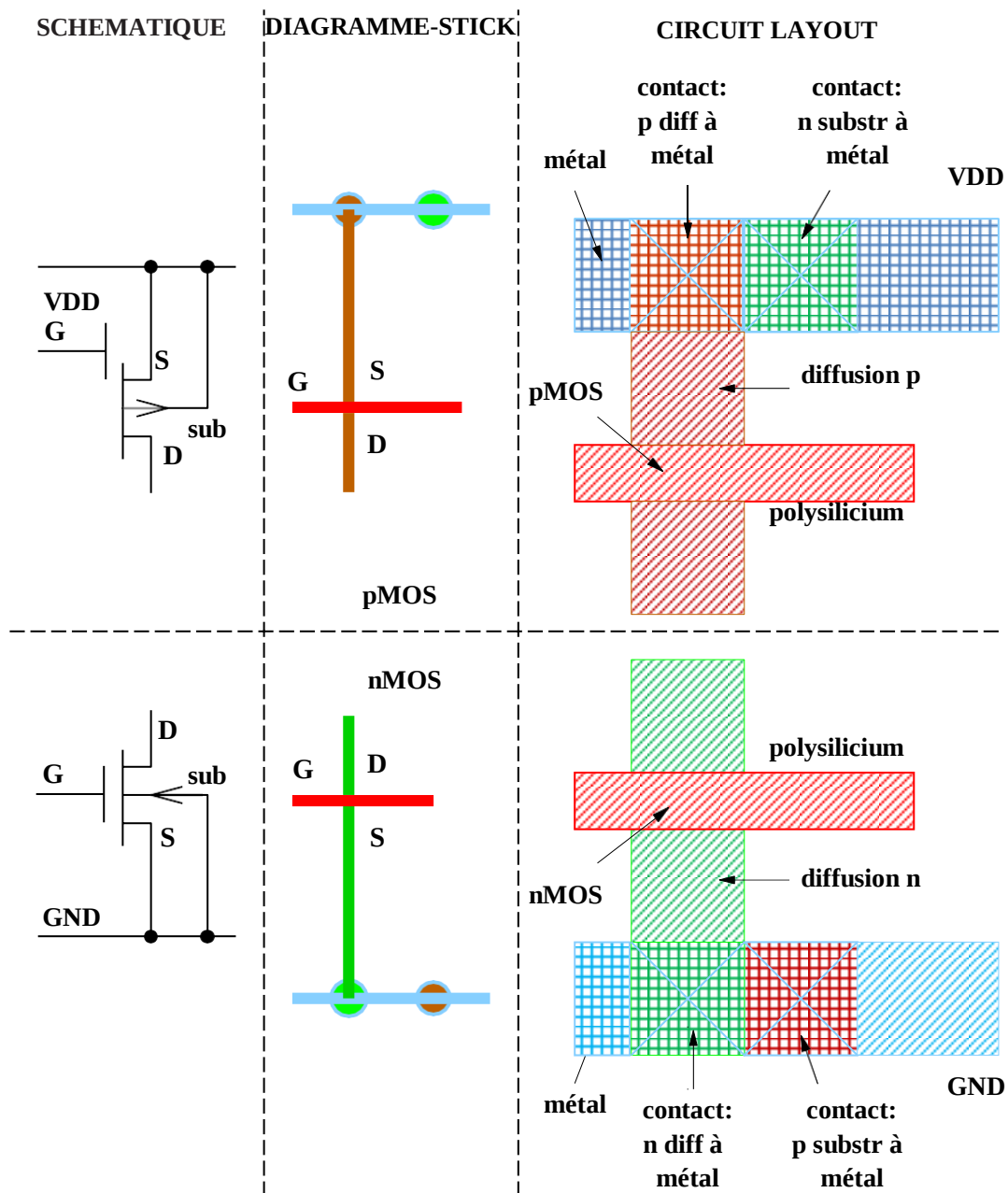


Fig. 4.8 les Trois représentations de la circuiterie MOS : schémas, diagramme et layout.

Un exemple de dessin de masque du transistor MOS est représenté sur la figure 4.9

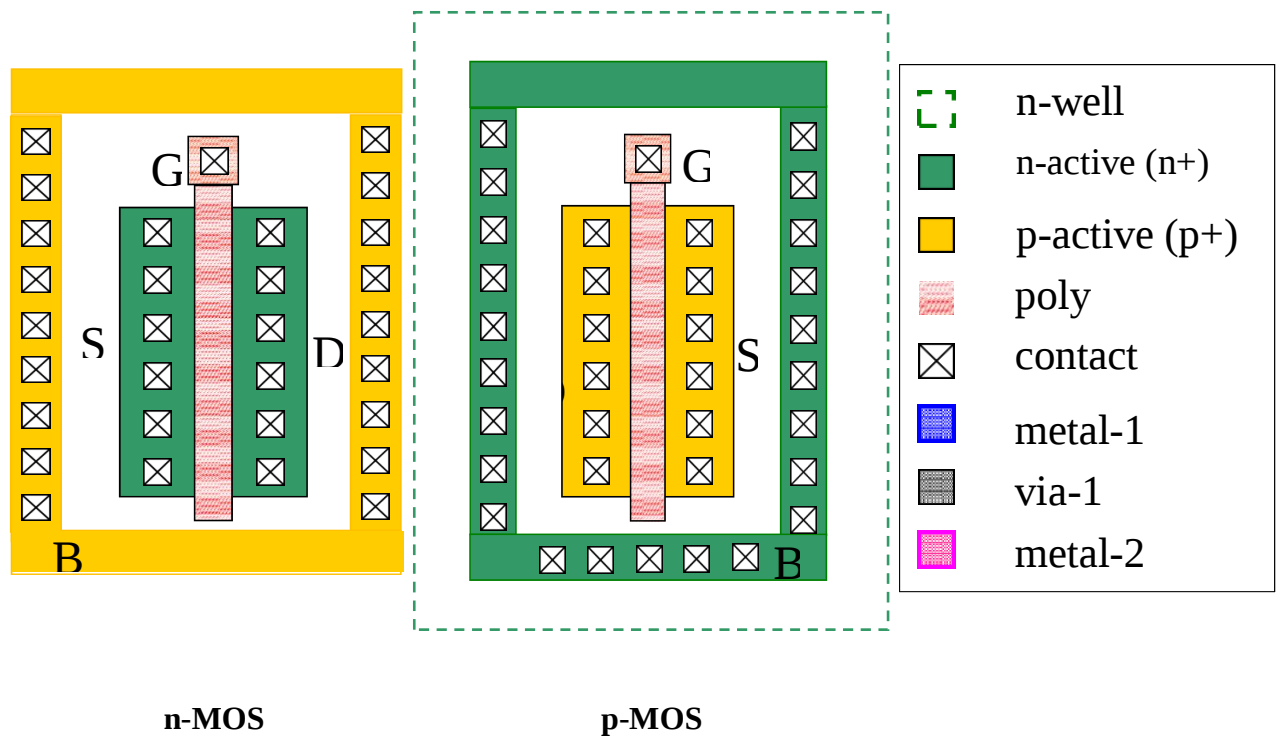


Fig. 4.9 Layout d'un transistor MOS